

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



IFW

Serial No.: 10/777,992
W&B Docket No.: INF 2166-US
OC Docket No.: INFN/0059

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:
GEORG BRAUN, et al.

Serial No.: 10/777,992

Filed: February 12, 2003

Confirmation No.: 3317

For: METHOD AND CIRCUIT FOR
ALLOCATING MEMORY
ARRANGEMENT ADDRESSES

§
§
§
§
§
§
§
§
§
§
§
§

Group Art Unit: 2186

Examiner: UNKNOWN

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

CERTIFICATE OF MAILING 37 CFR 1.8	
I hereby certify that this correspondence is being deposited on <u>May 18, 2004</u> with the United States Postal Service as First Class Mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450 Alexandria, VA 22313-1450.	
<u>May 18, 2004</u> Date	 Signature

CLAIM TO PRIORITY

Applicant(s) reaffirm the claim for the benefit of filing date of the following foreign patent application referred to in Applicant's Declaration:

German Patent Application Serial Number DE 103 06 149.5 filed February 14, 2003.

A copy of the application certified by the German Patent Office is enclosed.

Respectfully submitted,

Gero G. McClellan
Registration No. 44,227
MOSER, PATTERSON & SHERIDAN, L.L.P.
3040 Post Oak Blvd. Suite 1500
Houston, TX 77056
Telephone: (713) 623-4844
Facsimile: (713) 623-4846
Agent for Applicant(s)



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 06 149.5

Anmeldetag: 14. Februar 2003

Anmelder/Inhaber: Infineon Technologies AG,
81669 München/DE

Bezeichnung: Verfahren und Schaltung zum Zuweisen von
Speicheranordnungs-Adressen

IPC: G 06 F, G 11 C

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 19. Februar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, appearing to read 'Remus', is written over the printed name. The signature is fluid and cursive.

Remus

Beschreibung

Verfahren und Schaltung zum Zuweisen von Speicheranordnungs-Adressen

5

Die Erfindung betrifft ein Verfahren zum Zuweisen von Speicheranordnungs-Adressen an einen Pufferbaustein für eine oder mehrere mit dem Steuerbaustein verbundene Speicheranordnungen. Die Erfindung betrifft weiterhin einen Pufferbaustein, dem Speicheranordnungs-Adressen Speicheranordnungen zugewiesen werden können.

Für sehr schnelle und hochdichte Speicherarchitekturen wie z. B. DDR-III (double-data-rate) werden in Zukunft sogenannte Pufferbausteine notwendig. Diese Pufferbausteine ermöglichen es, dass der sogenannte „STUB-Bus“, wie er heute bei DDR- und DDR-II-Systemen verwendet wird, ersetzt wird und stattdessen Punkt-zu-Punkt-Verbindungen (P2P) oder Punkt-zu-zwei-Punkt-Verbindungen (P22P) verwendet werden. Derartige Verbindungen haben den Vorteil, dass Datentransferraten weit über 1 Gbps hinaus möglich sind. Durch eine Kaskadierung der Pufferchips wird es darüber hinaus möglich, viele Pufferbausteine miteinander zu verketten (Daisy-Chain) und Speichersysteme mit einer sehr hohen Anzahl von Speicheranordnungen an nur einem Speicherbus zu realisieren.

Üblicherweise bildet ein Pufferbaustein mit einer oder mehreren Speicheranordnungen ein Speichermodul, die z. B. in einem Computersystem eingesetzt werden. Die Speichermodule können beispielsweise als DIMM-Modul ausgebildet sein. Da die Speichermodule anfänglich keine feste Adresszuweisung haben, ist es notwendig, dass mit dem Starten des Computersystems bzw. nach einem Rücksetzen (Reset) zunächst eine Zuweisung von Speicheranordnungs-Adressen zu den jeweiligen Speichermodulen durchgeführt werden muss. Da solche Speichermodule mit Pufferbausteinen jedoch nicht über einen gemeinsamen Bus miteinander verbunden sind, ist eine Zuweisung der Speicheranord-

nungs-Adressen gemäß herkömmlichen Verfahren nicht möglich. Stattdessen sind die Speichermodule hintereinander angeordnet, wobei jedes der Speichermodule einen Eingang und einen Ausgang aufweist und der Ausgang eines Pufferbausteins mit dem Eingang eines nächsten Pufferbausteins verbunden ist.

Es ist Aufgabe der vorliegenden Erfindung, ein Verfahren zum Zuweisen von Speicheranordnungs-Adressen zur Verfügung zu stellen, dass mit den vorgenannten Pufferbausteinen und deren Verschaltung verwendbar ist. Weiterhin ist es Aufgabe der vorliegenden Erfindung, ein Verfahren zur Zuweisung von Speicheranordnungs-Adressen in einem Bussystem mit mehreren Pufferbausteinen zur Verfügung zu stellen. Es ist weiterhin eine Aufgabe der vorliegenden Erfindung, ein Pufferbaustein bereitzustellen, mit dem jeweiligen Speichermodulen Speicheranordnungs-Adressen zur Verfügung gestellt werden können.

Diese Aufgabe wird durch das Verfahren nach Anspruch 1, das Verfahren nach Anspruch 7 sowie durch den Pufferbaustein nach Anspruch 10 und das Speichermodul nach Anspruch 14 gelöst.

Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

Gemäß einem ersten Aspekt der vorliegenden Erfindung ist ein Verfahren zum Zuweisen von Speicheranordnungs-Adressen an einen Pufferbaustein für eine oder mehrere mit dem Pufferbaustein verbundene Speicheranordnungen vorgesehen. Im Normalbetrieb sind über die Speicheranordnungs-Adressen die angeschlossenen Speicheranordnungen adressierbar. Ein Zuweisen der Speicheranordnungs-Adressen für die Speicheranordnungen erfolgt in einem Initialisierungsmodus. Zunächst werden dabei die ersten Initialisierungsdaten empfangen, wobei die ersten Initialisierungsdaten verfügbare Speicheranordnungs-Adressen angeben. Anschließend werden Speicheranordnungsadressen zu der einen oder den mehreren an den Pufferbaustein angeschlossenen Speicheranordnungen zugeordnet. Die zugeordneten Spei-

cheranordnungs-Adressen werden dabei aus den verfügbaren Adressen gewählt. Anschließend werden zweite Initialisierungsdaten generiert, wobei in dem zweiten Initialisierungsdaten die gemäß den ersten Initialisierungsdaten verfügbaren Speicheranordnungs-Adressen um die den Speicheranordnungen des Pufferbausteins zugeordneten Speicheranordnungs-Adressen vermindert sind. Anschließend werden die zweiten Initialisierungsdaten gesendet und so entweder einem nächsten Pufferbaustein eines nächsten Speichermoduls oder einer Speicherzugriffssteuereinheit zur Verfügung gestellt.

Das erfindungsgemäße Verfahren hat den Vorteil, dass der Pufferbaustein die ihm zugeordneten Speicheranordnungen erkennt und diesen individuellen Speicheranordnungs-Adressen zuweist, die nicht mit bereits vergebenen Speicheranordnungs-Adressen kollidieren. Dies wird dadurch ermöglicht, dass der Pufferbaustein als erste Initialisierungsdaten verfügbare Speicheranordnungs-Adressen empfängt und daraus eine Anzahl von Speicheranordnungs-Adressen auswählt, die der Pufferbaustein an die an ihn angeschlossenen Speicheranordnungen vergibt.

Die zweiten Initialisierungsdaten werden dann generiert, um sie einem weiteren Pufferbaustein oder einer Speicherzugriffssteuer-Einheit (Speicher-Controller) zur Verfügung zu stellen, so dass beispielsweise ein nachfolgender Pufferbaustein die Information erhält, welche der Speicheranordnungen nach der Vergabe der Speicheranordnungsadressen noch verfügbar und welche belegt sind. Die zweiten Initialisierungsdaten enthalten deshalb Informationen darüber, welche Speicheranordnungs-Adressen noch verfügbar sind, nachdem der Pufferbaustein Speicheranordnungs-Adressen für die mit ihm verbundenen Speicheranordnungen vergeben hat.

Vorzugweise umfassen die ersten Initialisierungsdaten eine Anzahl von Bits, wobei jedes Bit eine Adresse einer Speicheranordnung entspricht. D. h. wenn ein Bit gesetzt ist

eine der Speicheranordnungen, die mit diesem Bit adressierbar ist, adressiert.

Vorzugsweise wird der Initialisierungsmodus nach einem Rücksetzen des Pufferbausteins oder nach einem Einshalten des Pufferbausteins eingenommen. Der Initialisierungsmodus wird beendet, wenn die Zuweisung der Speicheranordnungs-Adressen abgeschlossen ist. Auf diese Weise wird automatisch das Verfahren zum Zuweisen der Speicheranordnungs-Adressen gestartet, sobald der Pufferbaustein und die damit verbundenen Speicheranordnungen eingeschaltet bzw. rückgesetzt werden.

Ebenso kann vorgesehen sein, dass der Initialisierungsmodus durch ein Empfangen von Kommandodaten eingenommen wird. Dies stellt eine zweite Möglichkeit dar, den Initialisierungsmodus zu starten. Vorzugsweise wird dann nach dem Einschalten oder nach einem Rücksetzen der Pufferbausteine eine beliebige Speicheranordnungs-Adresse dem Pufferbaustein zugewiesen, so dass die Kommandodaten, die an die beliebige Speicheranordnungs-Adresse adressiert sind, von dem Pufferbaustein empfangen werden. Auf diese Weise wird sicher gestellt, dass der jeweilige Pufferbaustein die Kommandodaten auch sicher empfängt, und die Kommandodaten, die an die beliebige Speicheranordnungsadresse adressiert sind, von dem empfangenden Pufferbaustein empfangen werden können.

Vorzugsweise kann der Pufferbaustein im Normalbetrieb Daten empfangen und parallelisiert an die eine oder die mehreren angeschlossenen Speicheranordnungen weitergeben. Der Pufferbaustein kann die Daten von der einen oder den mehreren angeschlossenen Speicheranordnungen empfangen und seriellisiert senden. Dies ermöglicht eine hohe Datenübertragungsrate von und zu dem Pufferbaustein in eine geringere Datenrate für die Datenübertragung zwischen dem Pufferbaustein und der Speicherschaltung umzuwandeln.

Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist ein Verfahren zum Zuweisen von Speicheranordnungs-Adressen an einen ersten und einen zweiten Pufferbaustein vorgesehen. Der erste und der zweite Pufferbaustein weisen Speicheranordnungs-Adressen gemäß dem vorgeschriebenen Verfahren jeweils einer oder mehreren angeschlossenen Speicheranordnungen zu. Die Pufferbausteine sind so in Reihe geschaltet, dass der erste Pufferbaustein die zweiten Initialisierungsdaten als erste Initialisierungsdaten an den zweiten Pufferbaustein sendet. Auf diese Weise können die Pufferbausteine kaskadiert angeordnet werden, so dass sie nacheinander Speicheranordnungs-Adressen vergeben und zuweisen, wobei bei dem Zuweisen der Speicheranordnungs-Adressen darauf geachtet wird, dass nicht zuvor vergebenen Speicheranordnungsadressen erneut Speicheranordnungen zugewiesen werden. Dies ermöglicht eine Initialisierung der Pufferbausteine im Wesentlichen ohne das Mitwirken einer Speicherzugriffssteuereinheit, so dass die Initialisierung im Wesentlichen automatisch in dem Pufferbaustein erfolgt.

Zum Starten der Initialisierung ist vorzugsweise vorgesehen, dass der erste Pufferbaustein die ersten Initialisierungsdaten von einer Speicherzugriffssteuereinheit (Speicher-Controller) erhält. Für die Initialisierung übermittelt die Speicherzugriffssteuereinheit dem Pufferbaustein also erste Initialisierungsdaten, die angeben, dass alle Speicheranordnungs-Adressen verfügbar sind. Der erste Pufferbaustein weist den an ihn angeschlossenen Speicheranordnungen Adressen zu und fügt den Initialisierungsdaten die Information hinzu, dass die zugeordneten Speicheranordnungs-Adressen vergeben sind. An den zweiten Pufferbaustein werden dann Initialisierungsdaten übermittelt, die angeben, dass die bereits vergebenen Speicheranordnungs-Adressen belegt sind und die übrigen Speicheranordnungs-Adressen verfügbar sind. Der zweite Pufferbaustein kann dann auf gleiche Weise für die an ihn angeschlossenen Speicheranordnungen Speicheranordnungs-Adressen

vergeben, die aus den noch verfügbaren Speicheranordnungs-Adressen gewählt sind.

Vorzugsweise kann vorgesehen sein, dass der zweite Pufferbaustein die zweiten Initialisierungsdaten an die Speicherzugriffssteuereinheit sendet. Nachdem der zweite Pufferbaustein die Speicheranordnungsadressen für die an ihn angeschlossenen Speicheranordnungen vergeben hat, generiert der zweite Pufferbaustein zweite Initialisierungsdaten, die angeben, welche Speicheranordnungs-Adressen nach der Vergabe durch den ersten und den zweiten Pufferbaustein noch verfügbar sind. Diese zweiten Initialisierungsdaten werden zurück an die Speicherzugriffssteuereinheit gesendet, so dass diese feststellen kann, wie viele Speicheranordnungen von den Pufferbausteinen bedient werden. Wenn vorgesehen ist, dass jedes Bit der Speicheranordnungs-Adresse eine Speicheranordnung adressiert, kann so der Speicherzugriffssteuereinheit auch mitgeteilt werden, über welche Adressen Speicheranordnungen und über welche Adressen keine Speicheranordnung adressierbar sind.

Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist eine Pufferschaltung, vorzugsweise in einem Pufferbaustein für eine oder mehrere Angeschlossenen Speicheranordnungen vorgesehen. Der Pufferbaustein weist eine Empfangseinheit auf, um erste Initialisierungsdaten zu empfangen, die verfügbare Speicheranordnungs-Adressen angeben. Der Pufferbaustein weist weiterhin eine Sendeeinheit auf, um zweite Initialisierungsdaten zu senden. In einer Initialisierungseinheit, die eine Adresszuordnungseinheit aufweist, werden Speicheranordnungs-Adressen der einen oder den mehreren an den Pufferbaustein angeschlossenen Speicheranordnungen zugeordnet. Die zugeordneten Speicheranordnungs-Adressen werden dabei aus den verfügbaren Speicheranordnungs-Adressen gewählt. Die Initialisierungseinheit generiert daraufhin zweite Initialisierungsdaten, die nach der Zuordnung durch die Adresszuordnungsein-

heit, die noch verfügbaren Speicheranordnungs-Adressen angeben.

5 Auf diese Weise wird ein Pufferbaustein geschaffen, der selbstständig aus einer Auswahl verfügbarer Speicheranordnungs-Adressen Speicheranordnungs-Adressen den an ihn angeschlossenen Speicheranordnung zuweist und zweite Initialisierungsdaten generiert, die entweder einem nächsten Pufferbaustein mit angeschlossenen Speicheranordnungen zur Verfügung
10 gestellt werden oder an die Speicherzugriffssteuereinheit gesendet werden. Der nächste Pufferbaustein kann anhand der zweiten Initialisierungsdaten, die die noch verfügbaren Speicheranordnungs-Adressen angeben, ebenfalls Speicheranordnungs-Adressen an die an ihn angeschlossenen Speicheranordnungen vergeben und ebenfalls zweite Initialisierungsdaten
15 generieren, die entsprechend an den nächsten Pufferbaustein oder die Speicherzugriffssteuereinheit gesendet werden.

20 Der Vorteil des erfindungsgemäße Pufferbaustein besteht darin, dass der Pufferbaustein selbstständig eine Zuweisung von Speicheranordnungs-Adressen durchführt, ohne dass die Speicheranordnungen vorbelegte Adressen benötigen oder die Speicherzugriffssteuereinheit eine Zuweisung durchführen muss.

25 Der Pufferbaustein weist vorzugsweise eine Umwandlungseinheit auf, die eine Parallelisierungseinheit aufweist, um empfangene Daten zu parallelisieren und eine Seriellisiereinheit aufweist, um zu sendende Daten zu seriellisieren. Auf diese Weise kann die Anzahl der Datenleitungen von und zu dem Pufferbaustein und den daran angeschlossenen Speicheranordnungen
30 reduziert werden. Dies hat den Vorteil, dass die Datenleitungen im Wesentlichen einfacher, mit gleicher Länge vorgesehen werden können, so dass größere Übertragungsraten möglich sind, da es zu keiner laufzeitbedingten Einschränkung der
35 Übertragungsfrequenz kommt.

Die Initialisierungseinheit ist in der Lage, einen Initialisierungsmodus einzunehmen, der nach dem Einschalten des Steuerbausteins und/oder nach einem Rücksetzen eingenommen wird.

- 5 Alternativ dazu kann die Initialisierungseinheit den Initialisierungsmodus auch nach dem Empfangen von Kommandodaten einnehmen. Dazu werden von der Speicherzugriffssteuereinheit Kommandodaten generiert, die angeben, dass nun in einem Initialisierungsmodus eine Zuordnung der Speicheranordnungsad-
10 ressen durchgeführt werden soll.

- Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist ein Speichermodul mit einem erfindungsgemäßen Pufferbaustein und einer oder mehreren Speicheranordnungen, die dem Puffer-
15 baustein zugeordnet sind, vorgesehen. Vorzugsweise ist ein solches Speichermodul als DIMM-Modul ausgebildet, wie es in herkömmlichen Personalcomputern vorgesehen ist, und die Speicheranordnungen weisen DRAM-Bausteine auf. Durch den erfindungsgemäßen Pufferbaustein können die Speichermodule bau-
20 gleich vorgesehen werden und z. B. ohne vorherige Konfiguration der Hauptplatine des Personalcomputers oder der Speichermodule in entsprechende Positionen eingesetzt werden, wobei eine selbsttätige Initialisierung und Zuordnung von Speicheranordnungs-Adressen in den Speichermodulen erfolgt.

- 25 Eine besondere Ausführungsform der Erfindung wird im folgenden anhand der beigefügten Zeichnungen näher erläutert. Es zeigen:

- 30 Figur 1 eine Darstellung eines Speichersystems mit Pufferbausteinen gemäß einer Ausführungsform der Erfindung;
Figur 2 eine Tabelle, die das Kommandoprotokoll für die Ansteuerung der Pufferbausteine zeigt; und
Figur 3 ein Flussdiagramm, um das erfindungsgemäße Verfahren
35 darzustellen.

In Figur 1 ist ein Speichersystem mit Speichermodulen 1a, 1b, 1c dargestellt. Die Speichermodule 1a, 1b, 1c weisen jeweils einen Pufferbaustein 2 auf, an dem jeweils zwei Speicheranordnungen 3 angeordnet sind. An die Pufferbausteine 2 können
5 auch eine andere Zahl von Speicheranordnungen angeschlossen sein.

Die Speichermodule 1a, 1b, 1c weisen vorzugsweise die Form eines DIMM-Moduls auf. Es können jedoch auch andere Ge-
10 staltungen des Speichermoduls 1 vorgesehen sein. Die Speicheranordnungen sind vorzugsweise mit DRAM-Speicherbauelementen gebildet. Es können auch andere Speicherbauelemente, wie z. B. SRAM oder ähnlich, Verwendung finden.

15 Im Normalbetrieb dienen die Pufferchips zum Empfangen und Senden von Daten von und zu jeweils adressierten Speicheranordnungen. Die Pufferbausteine 1a, 1b, 1c werden vorgesehen, um die Anzahl von Datenleitungen zu den Speichermodulen 1 zu reduzieren. Bei zunehmender Anzahl von Datenleitungen besteht
20 die Schwierigkeit, die Datenleitungen in gleicher Länge vorzusehen. Da bei zunehmender Datenübertragungsfrequenz Unterschiede der Längen der Datenleitungen ein wesentlicher Faktor für eine Begrenzung der maximalen Datenübertragungsfrequenz sind, ist es notwendig, zur Erhöhung der Datenrate von und zu
25 den Speichermodulen die Anzahl der Datenleitungen zu beschränken und diese in gleicher Länge vorzusehen.

Darüber hinaus ist es notwendig, die gesamte Länge der Datenleitungen sowie deren angeschlossenen Eingänge zu reduzieren
30 um die Gesamtkapazität der Datenleitungen zu verringern und somit eine geringere Treiberleistung zum Senden von Daten zu benötigen. Aus diesem Grunde sind die Pufferbausteine 2 nicht an einem gemeinsamen Bus angeschlossen sondern jeder Pufferbaustein 2 weist eine erste bidirektionale Datenschnittstelle
35 4 und eine zweite bidirektionale Datenschnittstelle 5 auf.

Über die erste bidirektionale Datenschnittstelle 4 können Daten empfangen werden, die je nach dem, ob das entsprechende Speichermodul 1a, 1b, 1c angesprochen wird oder nicht, über die zweite Datenschnittstelle 5 weitergereicht wird. Wird das entsprechende Speichermodul 1 angesprochen, so werden die Daten zum Adressieren oder Beschreiben der adressierten Speicheranordnung verwendet. Wird es nicht angesprochen, so werden die Daten über die zweite Datenschnittstelle 5 weitergereicht. Die Speichermodule 1a, 1b, 1c sind in Form einer Daisy-Chain zusammengekoppelt, so dass die jeweils zweite Datenschnittstelle 5 mit jeweils einer ersten Datenschnittstelle 4 des nächsten Pufferbausteins 2 des nächsten Speichermoduls 1b, 1c verbunden ist.

Der Pufferbaustein 2 des ersten Speichermoduls 1a der hintereinander geschalteten Kette von Speichermodulen 1 ist mit seiner ersten Datenschnittstelle 4 mit einer dritten Datenschnittstelle 6 einer Speicherzugriffssteuereinheit (Speicher-Controller) 7 verbunden.

Jeder Pufferbaustein 2 weist eine Umwandlungseinheit 8 auf, um über eine der Datenschnittstellen 4, 5 empfangenen Daten, die in eine der Speicheranordnungen 3 geschrieben werden sollen, zu parallelisieren und um von einem der Speicheranordnungen 3 über eine der Datenschnittstellen 4, 5 zu seriellisieren, so dass die zu sendenden Daten auf eine geringere Anzahl von Datenleitungen übertragen werden, als von der jeweiligen Speicheranordnung 3 zur Verfügung gestellt worden ist. Im gezeigten Beispiel weist die Breite des über die Datenschnittstellen 4, 5 übermittelten Daten 8 Bit auf. Nach der Parallelisierung umfasst die Datenbreite 32 Bit für den Zugriff auf die Speicheranordnungen.

Dadurch, dass die Speicherzugriffssteuereinheit 7 und jedes der Speichermodule 1a, 1b, 1c so miteinander verbunden sind, dass jeweils nur Punkt-zu-Punkt (P2P) Verbindungen bestehen, kann die Übertragungsrate auf solchen Verbindungsleitungen

erheblich gegenüber den Übertragungsraten auf einem gemeinsamen Bus erhöht werden, da die Lastkapazitäten der Verbindungsleitungen erheblich reduziert sind.

5 Die Umwandlungseinheit 8 ist mit einer Adressierungseinheit 9 verbunden, die gemäß der adressierten Adresse eine der beiden angeschlossenen Speicheranordnungen 3 auswählt, um empfangene Daten in die entsprechende Speicheranordnung 3 zu schreiben und zu sendende Daten aus der entsprechenden Speicheranordnung 3 zu lesen. Wird in der Adressierungseinheit 9 erkannt, dass keine der an diesen Pufferbaustein 2 angeschlossenen Speicheranordnungen 3 adressiert worden ist, so werden die Daten von der ersten Datenschnittstelle 4 über die Umwandlungseinheit 8 and die zweite Datenschnittstelle 5 weitergeleitet, so dass die Daten unverändert an das nächste Speichermodul 1 über dessen erste Datenschnittstelle weiter gereicht werden. Es ist selbstverständlich auch denkbar, dass die Datenschnittstellen zunächst mit der Adressierungseinheit 9 verbunden sind und die empfangenen Daten, nur wenn eine der dem Pufferbaustein zugeordnete Speicheranordnungen 3 adressiert worden ist, an die Umwandlungseinheit 8 weitergeleitet werden.

25 Auf diese Weise wird zuerst bei dem ersten Speichermodul 1a der Kette angefragt, ob die adressierte Speicheranordnung 3 sich an dem ersten Pufferbaustein 2 befindet. Wenn nicht, wird das entsprechende Kommando, das von der Speicherzugriffssteuereinheit 7 generiert worden ist, über die zweite Datenschnittstelle 5 an die nächste erste Datenschnittstelle 4 des zweiten Speichermoduls 1b weitergereicht. Dort wird ebenfalls überprüft, ob das Kommando eine der Speicheranordnungen 3, die an dem jeweiligen Pufferbaustein 2 angeschlossen sind, betrifft. Das Kommando wird also von Speichermodul 1a, 1b, 1c zu dem jeweils nächsten Speichermodul 1a, 1b, 1c weitergereicht, bis die adressierte Speicheranordnung 3 über den jeweiligen Pufferbaustein 2 adressiert wurde. Die zweite Datenschnittstelle 5 des Pufferbausteins 2 des letzten Spei-

5 chermoduls 1c ist mit der Speicherzugriffssteuereinheit 5 über eine vierte Datenschnittstelle 10 verbunden. Betrifft also das gesendete Kommando keine der Speicheranordnungen 3, so wird der gesendete Befehl über die vierte Datenschnittstelle 10 wieder empfangen und die Speicherzugriffssteuereinheit 7 weiß, dass mit der gesendeten Speicheranordnungsadresse keine Speicheranordnung 3 adressiert werden kann.

10 In der Tabelle nach Figur 2 ist ein mögliches Kommandoprotokoll dargestellt. Das Kommando wird beispielsweise in vier aufeinander folgenden Teilen, d. h. mit steigenden und/oder fallenden Flanken eines Taktsignals, von der Speicherzugriffssteuereinheit 7 an das erste Speichermodul 1a gesendet. Die Datenleitungen zwischen den Datenschnittstellen 4, 15 5, 6, 10 umfassen für das gezeigte Ausführungsbeispiel und das entsprechende Kommandoprotokoll die Breite von 8 Bit CA[0-7]. Im ersten Teil wird die Speicheranordnungs-Adresse R[0-7] für die jeweilige Speicheranordnung 3 übertragen. Im nächsten Teil wird ein zweiter Teil des Kommandos übertragen. 20 Das erste Bit des zweiten Teils des Kommandos umfasst ein Signal, dass dem Pufferbaustein 2 mitteilt, dass es sich um einen Befehl für den Pufferbaustein handelt (z. B. Bit CA[0] ist gesetzt), in der beispielsweise Einstellungswerte für den Pufferchip übertragen werden, oder das einer der angeschlossenen Speicheranordnungen 3 angesprochen werden soll. 25

Das zweite Bit des zweiten Teils des Kommandos gibt an, ob die Wortleitung aktiviert werden soll (RAS-Signal), dass dritte Bit des zweiten Teils des Kommandos gibt an, ob die 30 Bitleitung zum Auslesen oder Hineinschreiben von Daten in die betreffende Speicherzelle aktiviert werden soll (CAS-Signal). Das vierte Bit ist zweiten Teils des Kommandos gibt an, ob in eine Speicherzelle der betreffenden Speicheranordnung 3 beschrieben oder ausgelesen werden soll (WE-Signal). Die nächsten vier Bits des zweiten Teils des Kommandos geben an, welche 35 der Speicherbänke B[0-3] der jeweiligen Speicheranordnung 3 ausgelesen werden sollen. Damit können vier Speicherbänke

eine herkömmliche Speicheranordnung 3 adressiert werden. Es können jedoch auch eine andere Anzahl von Speicherbänken in den jeweiligen Speicheranordnungen 3 vorgesehen sein.

5 Der dritte und vierte Teil des entsprechenden Kommandos umfassen die Adresse, in die Daten in der adressierten Speicheranordnung 3 geschrieben oder aus der Daten der entsprechenden Speicheranordnung gelesen werden sollen. Im aufgezeigten Beispiel umfasst die Adresse 16 Bit. Die Größe der
10 Adresse kann jedoch auch eine andere Bitanzahl aufweisen. Auch ist die Anzahl der Teile des Kommandos nicht auf vier beschränkt.

15 Nach einem solchen Kommando können nun Daten in die adressierte Speicheranordnung 3 in die jeweils adressierte Adresse geschrieben werden oder Daten aus der adressierten Speicheranordnung 3 aus der jeweiligen angegebenen Adresse im Kommando ausgelesen werden.

20 Im ersten Teil des Kommandos wird die Speicheranordnungs-Adresse übertragen. Damit der entsprechende Pufferbaustein jedoch weiß, dass eine der an ihn angeschlossenen Speicheranordnungen 3 mit der Adresse angesprochen ist, müssen vor Beginn des Normalbetriebs der Speichermodule 1a, 1b, 1c zu-
25 nächst die Speicheranordnungsadressen den Speicheranordnungen 3 zugewiesen werden. Bevor also die Speicheranordnungen 3 im Normalbetrieb angesprochen werden können, muss in einem Initialisierungsmodus zunächst eine Zuweisung der Speicheranordnungs-Adressen an die Speicheranordnungen 3 in den Puffer-
30 chips 2 erfolgen. Dazu ist in jedem Pufferbaustein 2 eine Initialisierungseinheit 10 vorgesehen, die während des Initialisierungsmodus aktiviert ist.

Der Initialisierungsmodus kann beispielsweise eingenommen
35 werden, sobald eine Versorgungsspannung des Speichermoduls 1 eingeschaltet wird, z. B. nach einem Einschalten des Personalcomputers, in den das betreffende Steuermodul 1 eingebaut

ist, oder nach einem Rücksetzsignal, z. B. nach einem globalen Rücksetzen des gesamten Rechnersystems eingenommen werden.

5 Die Initialisierungseinheit 11 ist mit der ersten und zweiten
Datenschnittstelle 4, 5 sowie mit der Adresszuordnungseinheit
9 verbunden. Von der Adresszuordnungseinheit 9 erfährt die
Initialisierungseinheit 11, wie viele Speicheranordnungen 3
an der Adresszuordnungseinheit 9 angeschlossen sind. Dieses
10 kann durch eine einfache Abfrage der Adresszuordnungseinheit
durchgeführt werden.

Zu Beginn der Initialisierungsphase sendet die Speicherzuord-
nungssteuereinheit 7 als ein erstes Initialisierungsdatum ein
15 im Wesentlichen einteiliges Adresssignal, d. h. nur ein Ad-
resssignal in einem Takt, aus. Ein gesetztes Bit des Adress-
signals entspricht dabei einer bereits vergebenen Speichera-
nordnungs-Adresse, wobei jedes Bit CA[0-7] der Speicheranord-
nungs-Adresse einer Speicheranordnung entspricht. D. h. ist
20 das erste Bit CA[0] gesetzt, wird die Speicheranordnung 3 mit
der entsprechenden Adresse „0x0000 0001“ (binäre Schreibwei-
se) adressiert. Ist das zweite Bit CA[1] gesetzt (0x0000
0010), so wird eine weitere zweite Speicheranordnung 3 adres-
siert.

25 Da zu Beginn des Initialisierungsmodus üblicherweise noch
keine Speicheranordnungsadresse vergeben ist, generiert die
Speicherzuordnungssteuereinheit 7 ein Adresssignal 0x0000
0000. Dies wird über die erste Datenschnittstelle 4 an den
30 Pufferbaustein 2 des ersten Speichermoduls 1 gesendet. Die
Initialisierungseinheit 11 empfängt die ersten Initialisie-
rungsdaten und entnimmt daraus, dass alle acht möglichen Ad-
ressen für Speicheranordnung 3 noch verfügbar sind.

35 Über die Adresszuordnungseinheit 9 erhält die Initialisie-
rungseinheit 11 die Information, wie viele Speicheranordnun-
gen 3 dem betreffenden Pufferbaustein 2 zugeordnet sind. Ent-

sprechend der Anzahl der angeschlossenen Speicheranordnungen 3 wählt die Initialisierungseinheit 11 eine entsprechende Anzahl von verfügbaren Speicheranordnungsadressen aus und markiert diese, z. B. mit einer logischen „1“. Bei den zwei angeschlossenen Speicheranordnungen 3 führt dies beispielsweise dazu, dass die ersten beiden Bits CA[0], CA[1] belegt werden und als zweite Initialisierungsdaten über die zweiten Datenschnittstelle 5 gesendet werden.

Die zweite Initialisierungsdaten werden von dem nächsten Pufferbaustein 2 über die erste Datenschnittstelle 4 als erste Initialisierungsdaten empfangen und die Initialisierungseinheit 11 des Pufferbausteins 2 des zweiten Speichermoduls 1b erkennt anhand der empfangenen ersten Initialisierungsdaten, das die ersten beiden Speicheranordnungsadressen vergeben sind. Auf gleiche Weise fragt die Initialisierungseinheit 11 bei der Adresszuordnungseinheit 9 an, wie viele Speicheranordnungen 3 an den betreffenden Pufferbaustein 2 angeschlossen sind. Den angeschlossenen Speicheranordnungen 3 wird nun in der Initialisierungseinheit 11 erneut jeweils eine Speicheranordnungs-Adresse zugewiesen, wobei die Speicheranordnungs-Adressen aus den verfügbaren Speicheranordnungs-Adressen, d. h. aus den nicht vergebenen Adressen CA[3-7] ausgewählt werden.

Werden die Adressen fortlaufend vergeben, so wird in der Initialisierungseinheit 11 als zweites Initialisierungsdatum ein binäres „0x0000 1111“-Datum generiert und an das nächste Speichermodul weitergegeben. Das beispielhafte zweite Initialisierungsdatum gibt an, dass die ersten vier Speicheranordnungs-Adressen bereits vergeben sind.

Das zweite Initialisierungsdatum wird an den nächsten Pufferbaustein 2 weitergereicht und dort auf die zuvor beschriebene Weise als erstes Initialisierungsdatum empfangen. Dies wird durchgeführt, bis das letzte Speichermodul 1c erreicht worden ist. Dort wird auf gleiche Weise die angeschlossene Spei-

cheranordnung 3 mit einer noch verfügbaren Speicheranord-
nungs-Adresse versehen. Die daraus generierten zweiten Initiali-
sierungsdaten werden dann vorzugsweise über die vierte Da-
tenschnittstelle 10 an die Speicherzuordnungssteuereinheit 7
5 übermittelt. Die Speicherzuordnungssteuereinheit 7 weiß dann,
wie viele Speicheranordnungen vorhanden sind und über welche
Adressen diese angesprochen werden können.

Als eine weitere Möglichkeit zur Einleitung eines Initiali-
10 sierungsmodus kann vorgesehen sein, dass das Kommandoprotokoll ein für den Pufferbaustein 2 bestimmtes Kommando (erstes
Bit des zweiten Teils des Kommandos gesetzt) durch die Spei-
cherzuordnungssteuereinheit 7 gesendet wird. Durch eine be-
stimmte Kodierung der Teile des Kommandos kann dann die Ini-
15 tialisierung in der Initialisierungseinheit 11 gestartet wer-
den. Damit die Kommandoeinheit 11 auf das Initialisierungssignal der Speicherzuordnungssteuereinheit 7 reagiert, können
nach dem Rücksetzen bzw. nach dem Einschalten der Speichermod-
ule 1 allen Speicheranordnungen 3 der Speichermodule eine
20 bestimmte anfängliche Adresse zugeordnet werden.

Die Initialisierungsadresse wird von der Speicherzuordnungs-
Adresse mit dem ersten Teil des Kommandos gesendet und an-
schließend das Initialisierungsstartkommando mit dem zweiten
25 Teil des Kommandos übertragen. Daraufhin werden gemäß dem zu-
vor beschriebenen Verfahren die Speicheranordnungs-Adressen
vergeben. Als zweite Initialisierungsdaten werden jedoch an-
ders als bei den zuvor beschriebenen Verfahren jeweils ein
ganzes Kommando aus vier Teilen an das jeweils nächste Spei-
30 chermodul 1 weitergegeben.

In Figur 3 ist ein Flussdiagramm zur Verdeutlichung des er-
findungsgemäßen Verfahrens gemäß einer Ausführungsform darge-
stellt. In einem Schritt S1 wird ein Initialisierungsmodus
35 aufgrund eines Rücksetzsignals oder eines Einschalten der
Steuermodule 1 angenommen. Zu Beginn der Initialisierungspha-
se wird dann von einer Speicherzuordnungssteuereinheit 7 in

5 einem Schritt S2 ein erstes Initialisierungssignal generiert, das angibt, welche der Speicheranordnungsadressen noch frei verfügbar sind. Die ersten Initialisierungsdaten werden dann von dem ersten mit der Speicherzuordnungssteuereinheit 7 verbundenen Speichermodul 1 empfangen (Schritt S3).

10 Entsprechend der Anzahl der an den jeweiligen Pufferbaustein 2 angeschlossenen Speicheranordnungen 3 werden Speicheranordnungs-Adressen generiert, die aus den verfügbaren Speichera-
15 nordnungs-Adressen ausgewählt werden (Schritt S4). In einem Schritt S5 werden zweite Initialisierungsdaten generiert, wobei die zweiten Initialisierungsdaten die Information über die bereits gemäß der ersten Initialisierungsdaten vergebenen Speicheranordnungs-Adresse und die aktuell bzgl. des aktuellen Speichermoduls 1a, 1b, 1c vergebenen Speicheranordnungs-Adressen enthalten ist.

20 Die zweiten Initialisierungsdaten enthalten also Informationen über die noch verfügbaren Speicheranordnungs-Adressen, wobei die gemäß den ersten Initialisierungsdaten nicht verfügbaren und die gerade vergebenen Speicheranordnungs-Adressen als nicht verfügbar gekennzeichnet werden (Schritt S5). In einem Abfrageschritt S6 wird festgestellt, ob ein
25 weiteres Speichermodul 1a, 1b, 1c mit dem soeben betrachteten Speichermodul verbunden ist. Wenn ja, werden die zweiten Initialisierungsdaten als erste Initialisierungsdaten an das nächste Speichermodul 1a, 1b, 1c gesendet und das Verfahren mit den Schritten S3 bis S5 wiederholt. Ist kein weiteres Speichermodul 1a, 1b, 1c mit dem aktuellen Speichermodul 1a,
30 1b, 1c verbunden, so werden die zweiten Initialisierungsdaten an die Speicherzuordnungssteuereinheit 7 in einem Schritt S7 gesendet.

35 Der Initialisierungsmodus in jedem der Speichermodule 1a, 1b, 1c ist beendet, sobald eine Zuweisung der Speicheranordnungs-Adressen erfolgt ist und ein entsprechendes Initialisierungsdatum generiert worden ist.

Patentansprüche

1. Verfahren zum Zuweisen von Speicheranordnungs-Adressen an einen Pufferbaustein (2) für eine oder mehrere mit dem Pufferbaustein (2) verbundene Speicheranordnungen (3),
wobei im Normalbetrieb über die Speicheranordnungs-Adressen die angeschlossenen Speicheranordnungen (3) adressierbar sind,
wobei ein Zuweisen der Speicheranordnungs-Adressen für die Speicheranordnungen (3) in einem Initialisierungsmodus erfolgt und folgende Schritte aufweist:
- Empfangen von ersten Initialisierungsdaten, wobei die ersten Initialisierungsdaten verfügbare Speicheranordnungs-Adressen angeben;
 - Zuordnen von Speicheranordnungs-Adressen zu der einen oder den mehreren an den Pufferbaustein angeschlossenen Speicheranordnungen (3), wobei die zugeordneten Speicheranordnungs-Adressen aus den verfügbaren Adressen gewählt werden;
 - Generieren von zweiten Initialisierungsdaten, wobei die zweiten Initialisierungsdaten die gemäß den ersten Initialisierungsdaten verfügbaren Speicheranordnungs-Adressen um die den Speicheranordnungen (3) des Pufferbausteins (2) zugeordneten Speicheranordnungs-Adressen reduzieren; und
 - Senden der zweiten Initialisierungsdaten.
2. Verfahren nach Anspruch 1, wobei die ersten Initialisierungsdaten eine Anzahl von Bits umfassen, wobei jedes Bit einer Adresse einer Speicheranordnung (3) entspricht.

3. Verfahren nach Anspruch 1 oder 2, wobei der Initialisierungsmodus nach einem Rücksetzen des Pufferbausteins (2) oder einem Einschalten des Pufferbaustein (2) eingenommen wird und wobei der Initialisierungsmodus beendet wird, wenn die Zuweisung der Speicheranordnungs-Adressen erfolgt ist.

4. Verfahren nach Anspruch 1 oder 2, wobei der Initialisierungsmodus durch ein Empfangen von Kommandodaten eingenommen wird.

5. Verfahren nach Anspruch 4, wobei nach dem Einschalten oder nach einem Rücksetzen des Pufferbausteins (2) eine beliebige Speicheranordnungs-Adresse zugewiesen wird, so dass die Kommandodaten, die an die beliebige Speicheranordnungs-Adresse adressiert sind, von dem Pufferbaustein (2) empfangen werden.

6. Verfahren nach einem der Ansprüche 1 bis 5, wobei der Pufferbaustein (2) im Normalbetrieb Daten empfängt und parallelisiert an die eine oder mehrere Speicheranordnungen(3) weitergibt und/oder die Daten von der einen oder den mehreren angeschlossenen Speicheranordnungen (3) empfängt und seriellisiert sendet.

7. Verfahren zum Zuweisen von Speicheranordnungs-Adressen an einen ersten und einen zweiten Pufferbaustein (2), wobei der erste und der zweite Pufferbaustein(2) Speicheranordnungs-Adressen gemäß dem Verfahren nach einem der Ansprüche 1 bis 6 zuweisen, wobei die Pufferbausteine (2) so in Reihe geschaltet sind, dass der erste Pufferbaustein (2) die zweiten Initialisierungsdaten als erste Initialisierungsdaten an den zweiten Pufferbaustein (2) sendet.

8. Verfahren nach Anspruch 7, wobei der erste Pufferbaustein (2) die ersten Initialisierungsdaten von einer Speicherzugriffs-Steuereinheit (7) erhält.

9. Verfahren nach Anspruch 8, wobei der zweite Pufferbaustein die zweiten Initialisierungsdaten an die Speicherzugriffs-Steuereinheit (7) sendet.
10. Pufferbaustein (2) für eine oder mehrere angeschlossene Speicheranordnungen,
5 mit einer Empfangseinheit, um erste Initialisierungsdaten zu empfangen, die verfügbare Speicheranordnungs-Adressen angeben;
mit einer Sendeeinheit, um zweite Initialisierungsdaten
10 zu senden;
mit einer Initialisierungseinheit (11), die eine Adresszuordnungseinheit aufweist, um Speicheranordnungs-Adressen der einen oder den mehreren an den Pufferbaustein (2) angeschlossenen Speicheranordnungen (3) zuzu-
15 ordnen, wobei die zugeordneten Speicheranordnungs-Adressen aus den verfügbaren Speicheranordnungs-Adressen gewählt werden,
wobei die Initialisierungseinheit (11) zweite Initialisierungsdaten generiert,
20 wobei die zweiten Initialisierungsdaten die nach der Zuordnung durch die Adresszuordnungseinheit (9) die noch verfügbaren Speicheranordnungs-Adressen angeben.
11. Pufferbaustein (2) nach Anspruch 10 mit einer Umwandlungseinheit (8), die eine Parallelisierungseinheit
25 aufweist, um empfangene Daten zu parallelisieren und eine Seriellisiereinheit aufweist, um zu sendende Daten zu seriellisieren.
12. Pufferbaustein (2) nach Anspruch 10 oder 11, wobei die Initialisierungseinheit (11) den Initialisierungsmodus
30 nach dem Einschalten des Pufferbausteins (2) und/oder nach einem Rücksetzen einnimmt.

13. Pufferbaustein (2) nach Anspruch 10 oder 11, wobei die Initialisierungseinheit (11) den Initialisierungsmodus nach dem Empfangen von Kommandodaten einnimmt.
- 5 14. Speichermodul (1a, 1b, 1c) mit einem Pufferbaustein (2) nach einem der Ansprüche 10 bis 13 und einer oder mehreren Speicheranordnungen (3).
15. Speichermodul (1a, 1b, 1c) nach Anspruch 14, wobei des Speichermoduls als DIMM-Modul ausgebildet ist.

Zusammenfassung

Verfahren und Schaltung zum Zuweisen von Speicheranordnungs-Adressen

5

Die Erfindung betrifft ein Verfahren zum Zuweisen von Speicheranordnungs-Adressen an einen Pufferbaustein für eine oder mehrere mit dem Pufferbaustein verbundene Speicheranordnungen, wobei im Normalbetrieb über die Speicheranordnungs-Adressen die angeschlossenen Speicheranordnungen adressierbar sind, wobei ein Zuweisen der Speicheranordnungs-Adressen für die Speicheranordnungen in einem Initialisierungsmodus erfolgt und folgende Schritte aufweist:

10

- Empfangen von ersten Initialisierungsdaten, wobei die ersten Initialisierungsdaten verfügbare Speicheranordnungs-Adressen angeben;

15

- Zuordnen von Speicheranordnungs-Adressen zu der einen oder den mehreren an den Pufferbaustein angeschlossenen Speicheranordnungen, wobei die zugeordneten Speicheranordnungs-Adressen aus den verfügbaren Adressen gewählt werden;

20

- Generieren von zweiten Initialisierungsdaten, wobei die zweiten Initialisierungsdaten die gemäß den ersten Initialisierungsdaten verfügbaren Speicheranordnungs-Adressen um die den Speicheranordnungen des Pufferbausteins zugeordneten

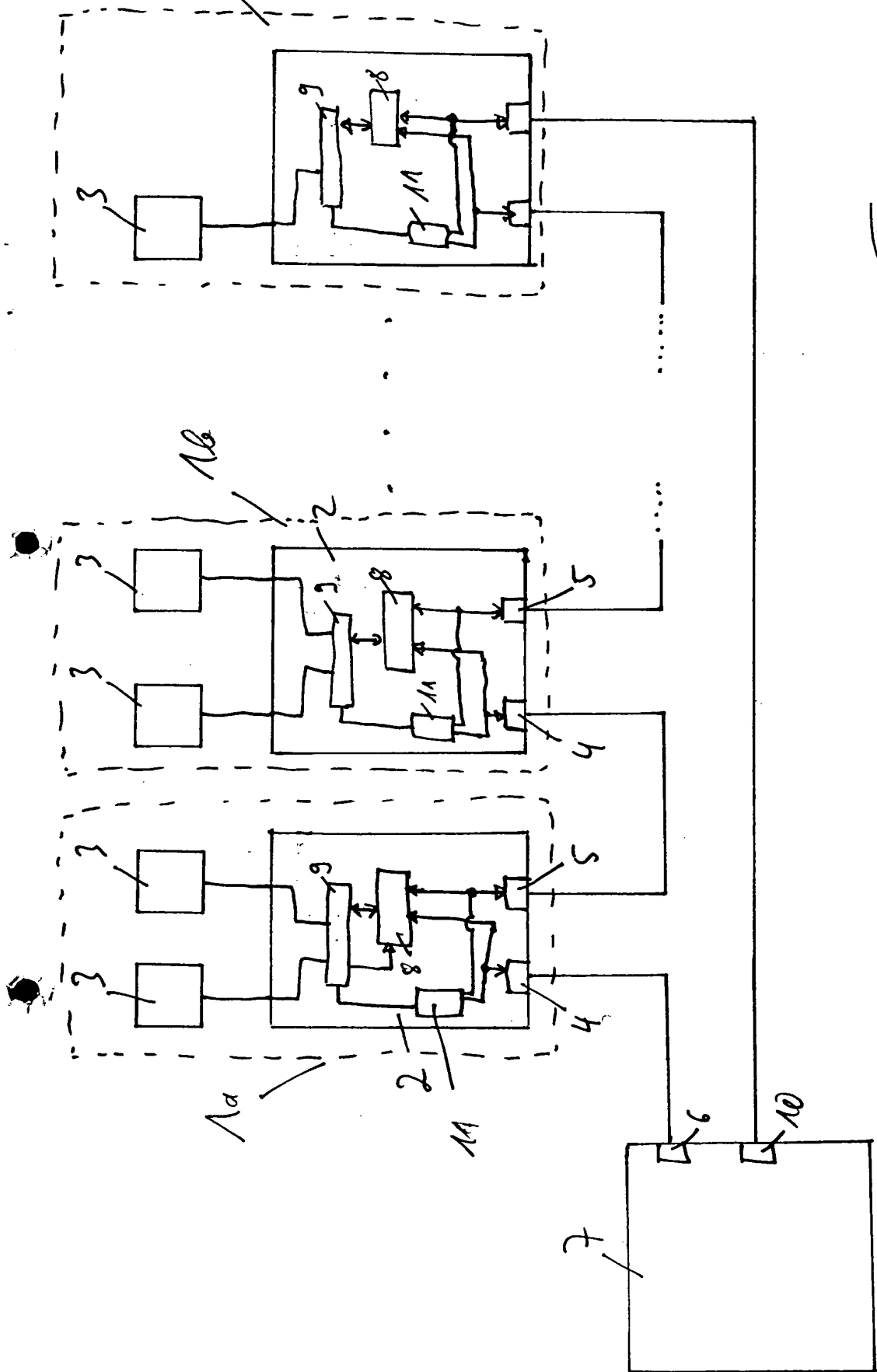
25

Speicheranordnungs-Adressen reduzieren; und
- Senden der zweiten Initialisierungsdaten.

Figur 1

signale für die Zusammenfassung

Fig. 1



Bezugszeichenliste

1a, 1b, 1c	Speichermodul
2	Pufferbaustein
3	Speicheranordnung
4	erste Datenschnittstelle
5	zweite Datenschnittstelle
6	dritte Datenschnittstelle
7	Speicherzuordnungs-Steuereinheit
8	Umwandlungseinheit
9	Adresszuordnungseinheit
10	vierte Datenschnittstelle
11	Initialisierungseinheit



		Kommando			
		0	1	2	3
Kommando-Bit	CA[0]	R[0]	HUB	A[0]	A[8]
	CA[1]	R[1]	RAS	A[1]	A[9]
	CA[2]	R[2]	CAS	A[2]	A[10]
	CA[3]	R[3]	WE	A[3]	A[11]
	CA[4]	R[4]	B[0]	A[4]	A[12]
	CA[5]	R[5]	B[1]	A[5]	A[13]
	CA[6]	R[6]	B[2]	A[6]	A[14]
	CA[7]	R[7]	B[3]	A[7]	A[15]

Fig. 2

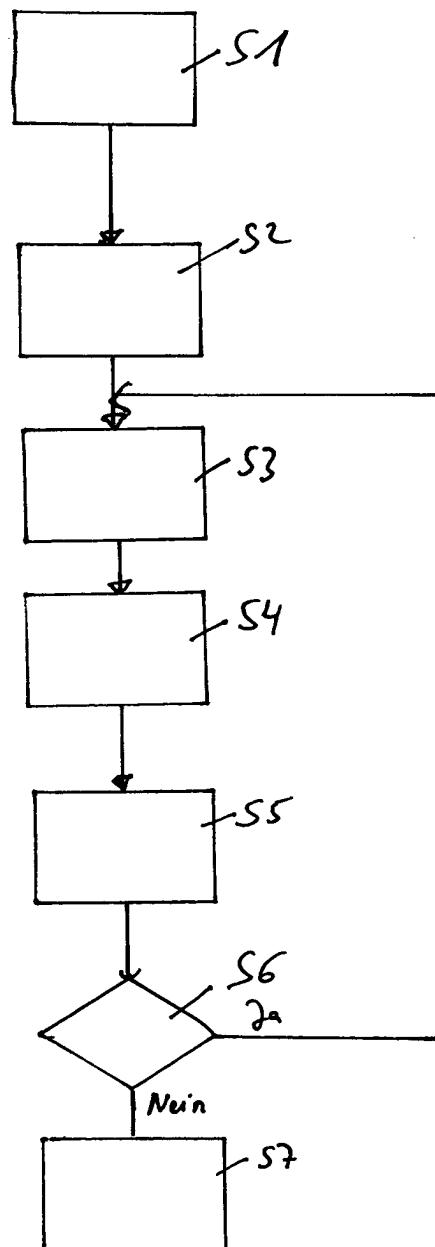


Fig. 3